

forming a contact layer of a hybrid of an organic compound having a fixed ionization potential or higher and a metal having a fixed work function or higher.

SOLUTION: In a p-type ZnSe electrode composed of a metal 1, a contact layer 2 and a p-type ZnSe layer 3, the metal 1 is composed of Au and the contact layer 2 is composed of a hybrid of an organic compound and a metal which are vapor-deposited simultaneously. When the organic compound and metal forming the hybrid of the contact layer 2 respectively have an ionization potential of $\geq 4\text{eV}$ and a work function of $\geq 4\text{eV}$, a semiconductor device having an electrode junction of $\leq 0.5\text{eV}$, most preferably, no barrier in barrier height is obtained. Therefore, such an electrode that can form ohmic contact with a p-type II-VI group compound semiconductor with a small contact resistance can be formed.

COPYRIGHT: (C)1998,JPO&Japio

[no drawing]JP3054828 A

**COMPOUND CONDUCTOR LAYER OF SEMICONDUCTOR DEVICE, HOLE-
MAKING PROCESS OF CAPACITOR USING COMPOUND CONDUCTOR LAYER
AND COMPOUND CONDUCTOR LAYER
OKI ELECTRIC IND CO LTD**

Abstract:

PURPOSE: To avoid the cracking and the release of an insulating layer by a method wherein an auxiliary conductive layer for enhancing the adherence to the insulating layer is provided on a metallic layer with low electric resistance comprising a main conductive layer.

CONSTITUTION: A main conductive layer comprising a material with low electric resistance is formed on an underneath layer 26; an auxiliary conductive layer 24 comprising Ti, Si, Ge or mixture (including alloy) thereof is formed on the layer 22; and then an insulating layer 28 is formed on the layer 24. The layer 24 intends to enhance the adherence to the layers 22 and 28. That is, the main conductive layer 22 comprising three layers 32, 34, 36 are formed on the substrate 26 as a GaAs substrate whereon an insulating layer comprising Si nitride is formed. Furthermore, the layer 32 comprises exceeding one kind of elements selected from Au, Pt, Al, Cu; the layer 34 comprises exceeding one kind of elements such as Pt, W, Mo; and the layer 36 comprises exceeding one kind of elements selected from Ti, Si, Ge. The auxiliary conductive layer 24 and the insulating layer 28 are formed on the layer 22. The layers 24 and 28 are respectively formed of Ti and Si nitride. Furthermore, the said layers can be compounded to form a capacitor.

COPYRIGHT: (C)1991,JPO&Japio

Inventor(s):

INOUCHI KAZUYUKI

Application No. JP1989190830A Filed 19890724 Published 19910308

Original IPC(1-7): H01L00213205

⑫ 公開特許公報(A)

平3-54828

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月8日

H 01 L 21/3205
27/04

C

9056-5F
6810-5F

H 01 L 21/88

R

審査請求 未請求 請求項の数 7 (全13頁)

⑭ 発明の名称 半導体装置の複合導電層、複合導電層を用いたキャパシタおよび複合導電層の穴開け方法

⑮ 特 願 平1-190830

⑯ 出 願 平1(1989)7月24日

⑰ 発 明 者 猪 口 和 之 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑲ 代 理 人 弁理士 大 垣 孝

明 細 書

1. 発明の名称

半導体装置の複合導電層、複合導電層を用いた
キャパシタおよび複合導電層の穴開け方法

2. 特許請求の範囲

(1) 電気抵抗の小さい物質からなる、1層以上の層で構成した主導電層と、

該主導電層の上面に設けた補助導電層とを
見え、

該補助導電層は、該補助導電層の上面に設けられる絶縁層および該補助導電層の下面に設けられた前記主導電層に対し密着の強化を図る、電気抵抗の小さい材料で構成してなる

ことを特徴とする半導体装置の複合導電層。

(2) 請求項1に記載の半導体装置の複合導電層において、前記補助導電層の膜厚を、最大でも200Å程度とすることを特徴とする半導体装置の複合導電層。

(3) 請求項1に記載の半導体装置の複合導電層において、前記補助導電層を、チタン、シリコン

およびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層としたことを特徴とする半導体装置の複合導電層。

(4) 請求項1に記載の半導体装置の複合導電層において、前記主導電層を前記補助導電層側から第1層、第2層および第3層を順次に具えた3層構造とし、

該第1層を、金、白金、アルミニウムおよび銅の群のなかから選らばれたいずれか一種以上の材料を含む層とし、

該第2層を、白金、タングステンおよびモリブデンの群のなかから選らばれたいずれか一種以上の材料を含む層とし、

該第3層を、チタン、シリコンおよびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層とした

ことを特徴とする半導体装置の複合導電層。

(5) 請求項1に記載の複合導電層で下側および上側電極層を形成し、これら下側および上側電極層間に誘電体層を設けてなる

ことを特徴とする半導体装置のキャパシタ。

(6) 下地上に主導電層および補助導電層を順次に成膜して請求項1の複合導電層を設ける第一工程と、

該複合導電層を被覆する絶縁層を設ける第二工程と、

該絶縁層および前記補助導電層の両者に共通して使用出来るエッチング用ガスを用いて、該絶縁層および前記補助導電層を貫通する穴を開ける第三工程と

を含むことを特徴とする半導体装置の複合導電層の穴開け方法。

(7) 絶縁層をシリコンの酸化物またはシリコンの窒化物とし、および補助導電層を、チタン、シリコンおよびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層とした場合には、エッチング用ガスをフッ化物系ガスとしたことを特徴とする請求項6記載の半導体装置の複合導電層の穴開け方法。

り、

③また、絶縁層に設けた穴に露出した導電層に外部回路と接続のためのワイヤボンディングを行ったワイヤ配線構造を具えたり、

④さらには、所要に応じてキャパシタやインダクタを具えている。

そして、これら電極層、配線層、インダクタおよびキャパシタの電極を、1層以上の、電気抵抗の小さい導電層で構成している。

従来の導電層の典型的な例につき第2図を参照して簡単に説明する。

通常は、GaAs基板20上にSiN_x等の絶縁層22設け、この絶縁層22上に導電層として配線層10を設けてある。この配線層10は、絶縁層22上にチタン(Ti)層12、白金(Pt)層14および金(Au)層16を順次に成膜して形成した3層構造(Ti/Pt/Auと表わす。)の、電気抵抗の小さい導電層である(例えば、文献I: (「エレクトロニクス レターズ (ELECTRONICS LETTERS)」)、vol.18、No.3、(1984)、pp119

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の電極、配線等として用いられる複合導電層ならびにこの複合導電層を電極とするキャパシタおよびこの複合導電層に穴を開ける方法に関する。

(従来の技術)

半導体装置には、ダイオード、トランジスタ等の半導体素子、およびこれら半導体素子を、場合によっては抵抗、キャパシタ(容量素子)およびまたはインダクタ(誘導素子)と共に、多数組み込んで形成した集積回路がある。周知の通り、これら半導体装置は、

①基板に作り込んだ能動領域間の相互接続のために、或いは能動領域と外部回路との間の接続のために、電極層および配線層を具えており、

②場合によっては、絶縁層に設けた穴(孔とか窓ともいう。)を経て絶縁層の上下の電極層あるいは配線層を相互接続する多層配線構造を具えた

~121))。チタン層(Ti層ともいう。)12は、上側の金層(Au層ともいう。)16と下地としての絶縁層22との密着を向上させるために設けた層であり、通常は1000Å程度の厚い層とする。白金層(Pt層ともいう。)14はチタンと金の相互拡散による合金化を防止するためのバリア層として設けてある。また、最上層の金層16は、金属の中で電気抵抗が特に小さいので低抵抗配線が実現出来ること、および金の表面は通常は化学的に安定であるため半導体装置の製造工程中に変成しにくいことという理由で用いられている。

そして、この配線層等としての導電層10上には表面リークや汚染を防止するため、あるいは、キャパシタの下側電極としての導電層10上には誘電体として、窒化珪素(SiN_x)、酸化珪素(SiO₂)、ポリイミド等の絶縁膜24を設けている。

また、シリコンデバイス用の金属電極としての導電層構造の種々の例が文献II: (「最新LSIプロセス技術」、(株)工業調査会発行、1983

年、第235 - 236 頁)に開示されている。この文献Ⅱにも記載されているように、チタン層(Ti層)は、酸化珪素膜(SiO₂膜)と電気抵抗の小さい金層(Au層)等との中間層として酸化珪素膜と金層等との密着性を図るために設けている。この場合にも、Ti層は通常は1000Å程度の膜厚で設けているためこのTiと上側のAuとで合金化してしまう。このような合金化層は電気抵抗が高く、しかも、表面が粗くなるため好ましくない。従って、この合金化を回避するため、通常は、パラジウム(Pd)、白金(Pt)またはその他の金属のバリア層を設けて合金化の防止を図っている。

(発明が解決しようとする課題)

しかしながら、この従来の導電層構造の一例として導電層の最上層を金(Au)層とし、その上側に絶縁層を直接設けた構造体につき、-50℃から+150℃の温度範囲で1000時間以上にわたる保管試験および-50℃と+80℃の温度

金等と合金化してしまうために、従来は、上述した絶縁層のひび割れおよび剝離の防止のために用いられていなかった。そこで、この出願に係る発明者等は、このチタンの密着性強化の性質に特に着目し、この絶縁層のひび割れおよび剝離の発生を回避するための種々の研究および実験を繰り返した。その結果、従来の導電層と絶縁層との間に、チタン(Ti)あるいはその他の材料を含んだ補助導電層を、適当に設けることによって、上述したような絶縁層のひび割れおよび剝離を回避出来ると共に、チタン等の材料が下層の金等と合金化したりあるいはその他の障害となるべき現象の発生を抑えることが出来ることを発見した。

そこで、この出願の発明の目的は、上述した従来の問題点に鑑み、絶縁膜のひび割れや剝離を防止出来る、複合導電層およびこの複合導電層を電極として用いたキャパシタを提供すること、およびこの複合導電層に適した穴開け方法を提供することにある。

の繰り返しによる短時間熱衝撃試験を行ったところ、絶縁層のひび割れが生じたり、あるいは、剝離が生ずるのが認められ、また、導電層の平面的な面積が大きくなるに従ってこのひび割れや剝離が増大することが分った。このような絶縁層のひび割れおよび剝離等の現象は、金(Au)以外の低抵抗金属である、白金(Pt)、アルミニウム(Al)、銅(Cu)等でも、生じる恐れがある。

また、このようなひび割れや剝離の発生を出来るだけ抑えるために、従来は、導電層の幅を細く形成する必要があった。このため、従来の導電層はその平面的形状が著しく制限を受け、従って、需要に見合った平面形状、例えばキャパシタの電極として用いるための矩形形状の導電層を形成することが、実質的に、不可能であった。

既に説明したように、チタン(Ti)が窒化珪素(SiN_x)や酸化珪素(SiO₂)等の絶縁層と、電気抵抗の小さい金(Au)層との密着性を強化する性質を具えている。しかし、チタンが

(課題を解決するための手段)

この目的の達成を図るため、この発明の半導体装置の複合導電層においては、

電気抵抗の小さい材料からなる、1層以上の層で構成した主導電層を設け、

この主導電層の上面に補助導電層を設けた複合導電層とし、

この補助導電層を、当該補助導電層の上面に設けられる絶縁層および当該補助導電層の下面に設けられた主導電層に対し密着の強化を図る、電気抵抗の小さい材料で構成することを特徴とする。

この補助導電層の膜厚を、最大でも200Å程度とするのが好適である。

また、この補助導電層を、チタン、シリコンおよびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層で構成するのが効果的である。

さらに、上述した主導電層を補助導電層側から第1層、第2層および第3層を順次に具えた3層構造として構成し、

その第1層を、金、白金、アルミニウムおよび銅の群のなかから選らばれたいずれか一種以上の材料を含む層とし、第2層を、白金、タングステンおよびモリブデンの群のなかから選らばれたいずれか一種以上の材料を含む層とし、第3層を、チタン、シリコンおよびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層として、それぞれ構成するのが好適である。

さらに、上述したいずれかの複合導電層で下側および上側電極層を形成し、これら下側および上側電極層間に誘電体層を設けて、半導体装置のキャパシタを構成する。

そして、半導体装置の導電層の穴開け方法においては、

下地上に主導電層および補助導電層を順次に成膜して複合導電層を設ける第一工程と、

この複合導電層を被覆する絶縁層を設ける第二工程と、

この絶縁層および前述の補助導電層の両者に共通して使用出来るエッチング用ガスを用いて、こ

ける工程で、この補助導電層の境界面にもこの補助導電層を構成する材料の窒化物や酸化物が形成されて、絶縁膜とのなじみが良くなることからであると推測される。従って、この複合導電層によれば、上側に絶縁膜を設けても、その絶縁膜にクラックやひび割れが発生するおそれが無く、このため、この発明の複合導電層は、半導体装置に用いられる電極、配線、インダクト線、キャパシタの電極等を構成する種々の導電層に使用して好適である。

また、複合導電層に穴を開ける場合には、上側に設けられる絶縁層のエッチング用ガスを、補助導電層の穴開けのエッチング用ガスとして、そのまま使用するので、複雑な工程を経ずして、同一のエッチング工程で絶縁膜と補助導電層とを貫通する穴を容易かつ簡単に形成出来る。

(実施例)

以下、図面を参照して、この発明の実施例につき説明する。尚、図は、この発明の構成を理解出

の絶縁層および補助導電層を貫通する穴を開ける第三工程と

を含むことを特徴とする。

この場合、絶縁層をシリコンの酸化物またはシリコンの窒化物とし、および補助導電層を、チタン、シリコンおよびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層とした場合には、エッチング用ガスをフッ化物系ガスとすることが好適である。

(作用)

上述したこの発明の複合導電層の構造によれば、主導電層は、電気抵抗の小さい金属の層であり、補助導電層は、この主導電層および絶縁層と密着性が良く、しかも、電気抵抗の小さい材料で構成してある。補助導電層が密着性を向上させるのは、その構成材料が下層の主導電層の金属となじむ材料であること、しかも、この下層の金属よりも化学的反応を起し易く、従って、補助導電層の上側に窒化膜あるいは酸化膜などの絶縁層を設

ける程度に、その構成成分の形状、寸法、配置関係を概略的に示してあるにすぎず、従って、この出願の発明はこれら図示例にのみ限定されるものではない。

[基本的構造の説明]

まず、第1図を参照して、この発明の複合導電層につき説明する。第1図は、この発明の複合導電層の一実施例の説明に供する説明図であり、下地面に直交する面での断面図で示してある。

まず、この複合導電層20は、主導電層22と補助導電層24とで構成する。この主導電層22を、半導体装置に通常用いられている導電層として構成するので、この主導電層22は、電気抵抗の小さい材料からなる層であって、しかも、1層以上の層で構成した一層または多層構造となっている。この主導電層22を下地26(図中一点破線で示してある。)の上面に適当な膜厚で設ける。下地26を例えば化合物半導体材料であるGaAsとかシリコンとかの適当な材料自体で形成するか或はこれら

の材料層上に適当な絶縁層を設けた構造とすることが出来る。

この主導電層22の上面に補助導電層24を設ける。この補助導電層24を、その上面に設けられる絶縁層28(図中、一点破線で示してある。)およびこの補助導電層24の下面に設けられた主導電層22及び上側に設ける絶縁層28に対し密着の強化を図ると共に、電気抵抗の小さい材料で構成する。従って、この補助導電層24としては、主導電層22の少なくともこの補助導電層24と接触する層部分およびこの補助導電層24の上側に形成する絶縁層28と相互拡散し易いこと、固溶体を作り易いこと、化合物を作り易いことなどの少なくともいずれかの反応性を有する材料であれば良い。

従って、補助導電層24を、チタン(Ti)、シリコン(Si)およびゲルマニウム(Ge)の群のなかから選らばれたいずれか一種以上の材料を含む層として構成する。従って、この補助導電層24を、チタン(Ti)の層、シリコン(Si)の層またはゲルマニウム(Ge)の層として構成し

λ程度とするのが好適である。このような膜厚にしておけば、この補助導電層の成膜時に、下層の主導電層22の構成材料である、例えば金(Au)の材料と補助導電層の材料である、例えばチタン(Ti)との合金化を防止することが出来るので、複合導電層の電気抵抗が徒に大きくならないように効果的に抑制することが出来る。

[複合導電層の具体的構造例]

次に、この複合導電層を下地26上に設け、この複合導電層20上に絶縁層28を設けた構造の具体例を第3図～第5図にそれぞれ示す。

上述した主導電層22を補助導電層24側から第1層32、第2層34および第3層36を順次に具えた3層構造として、あるいは、第1層32および第2層34の2層構造として、あるいはまた、第1層のみの一層構造として構成する。

この場合、第1層32を、金、白金、アルミニウムおよび銅の群のなかから選らばれたいずれか一種以上の材料を含む層とし、第2層34を、白金、

ても良いし、チタンとシリコンの混合物(合金の場合を含む)層、チタンとゲルマニウムの混合物(合金の場合を含む)層、シリコンとゲルマニウムの混合物(合金の場合を含む)層、チタンとシリコンとゲルマニウムの混合物(合金の場合を含む)層、チタン、シリコンおよびゲルマニウムから選らばれた一種以上の材料と他の適当な材料との混合物(合金の場合も含む)として構成しても良い。

さらに、この補助導電層24を、チタンとシリコンの化合物層、チタンとゲルマニウムの化合物層、シリコンとゲルマニウムの化合物層、チタンとシリコンとゲルマニウムの化合物層、チタン、シリコンおよびゲルマニウムから選らばれた一種以上の材料と他の適当な材料との化合物層として構成しても良い。

また、この補助導電層24は、上述したこれらのいずれかの層が混在して構成されていても良い。

そして、この補助導電層24の膜厚は設計に応じて定めることが出来るが、その最大膜厚を200

タングステンおよびモリブデンの群のなかから選らばれたいずれか一種以上の材料を含む層とし、第3層36を、チタン、シリコンおよびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層として、それぞれ構成する。ここで、それぞれの「材料を含む層」とは、その材料のみの層であっても良いし、それぞれの材料を適当な種類だけ混合(合金化を含む)したり、あるいは、化合物としても良い。

第3図は、主導電層22を3層構造として構成した例、第4図は、主導電層22を2層構造として構成した例、および第5図は、主導電層22を1層構造として構成した例をそれぞれ示す。これらの実施例における第3図の構成例につき具体的に説明する。基板26をGaAs基板とし、その上面に設けた絶縁層28を膜厚が5000Åのシリコンの窒化膜(SiN_x)とする。さらに、複合導電層22を、フォトレジストによるリフトオフ法を用いて例えば配線層のパターンとして形成する。この複合導電層22の第1層32を膜厚が5000Åの金

(Au)の層とし、第2層を膜厚が1000Åの白金(Pt)の層としおよび第3層を膜厚が1000Åのチタン(Ti)の層とする。さらに、この第1層32の上側に設けた補助導電層24を、膜厚が100Åのチタン(Ti)の層とする。これら第1～3層32、34、36と補助導電層24を真空蒸着法で形成する。

さらに、この複合導電層22を被覆するように下地26の全面にSiN_xの絶縁層28を、プラズマCVD法により、300℃の温度で、5000Åの膜厚で形成する。

次に、GaAs集積回路の配線を第3図に示したこの発明の複合導電層(Ti/Pt/Au/Ti)で構成した場合と、補助導電層を具えていない従来の導電層(Ti/Pt/Au)で配線を構成したGaAs集積回路につき、長時間保管試験を行った。この試験で、温度を85℃、相対湿度を85%とした雰囲気中に1000時間以上保管して行った。

その結果、通常の導電層(Ti/Pt/Au)

層の絶縁層28との間の密着性を向上させて絶縁層のひび割れや剝離を防止していることが分る。尚、ここで絶縁層28、42としてSiN_xを用いて例を示したが、SiO₂であっても、また、SiO_xN_xであっても良い。

このように、この発明の複合導電層を配線等に用いれば、絶縁層のひび割れや剝離を生じるおそれが無いので、配線等を下地上に平面的に拡がりのある形状として形成することが出来る。

[キャパシタの例]

第6図は、この発明の複合導電層を上側電極および下側電極として用いたキャパシタの実施例を示す断面図である。これら電極の平面形状を正方形等とすることが出来る。以下、この実施例につき説明する。

この実施例では、第3図に示した3層構造の主導電層と補助導電層とを含む構造の複合導電層(Ti/Pt/Au/Ti)を上下の電極として用いたキャパシタを例に挙げて説明する。

構造の配線上のSiN_x絶縁層は亀裂を生じたが、この発明の複合導電層(Ti/Pt/Au/Ti)構造の配線上のSiN_x絶縁層は亀裂を生じなかった。この実験結果から、非常に安定で化学的に反応性の小さい金(Au)の表面上に形成したSiN_x絶縁層は密着性が弱いことが分った。一方、金(Au)の層(第3図に32で示す第1層)上にTi層(第3図に24で示す補助導電層)を設けた、この発明の複合導電層22上にSiN_x絶縁層(第3図に28で示す)を設けた構造では、金(Au)とチタン(Ti)とが金属同志でありしかも相互拡散が低温で起り始めるため両者間のなじみが強力となって金層とチタン層との密着力が増すと考えられる。また、チタン(Ti)層上にSiN_x絶縁層を形成する時、シラン(SiH₄)とアンモニア(NH₃)とを反応させるが、このアンモニアがチタンと反応して、チタン層の界面が窒化物となるため、チタン層とSiN_x絶縁層との密着性が増すと考えられる。従って、このチタン層24は下層の金層32と上

GaAs基板60上にSiN_x絶縁層62を設けてなる下地64の表面に、主導電層66(下地側から第3層68、第2層70、第1層72)および補助導電層74からなる複合導電層を適当な平面形状の下側電極76として設ける。次に、この下側電極76を被覆するように下地64に全面に誘電体層78を設ける。この誘電体層78として、第3図の実施例で設けたSiN_x絶縁層28と同様な絶縁層を例えば5000Åの膜厚で設ける。次に、この下側電極76の上側に、この下側電極76と同じ構造、同じ形状および同じ面積の上側電極80を、絶縁層78を挟んで、下側電極76に対向させて形成する。この場合、上側電極80の主導電層82の第3層84、第2層86および第1層88を絶縁層78側から形成し、この主導電層82の上側に補助導電層90を設ける。そして、上側電極80を被覆するように下地上従って絶縁層78上に別のSiN_x絶縁層92を保護膜として設ける。

この実施例にキャパシタにおいて、容量を100pFとする場合には、5000Åの膜厚の

SiN_xの誘電体層78の比誘電率が7であるので、上下の各電極76および80の平面形状は400μm×2mmとなる。

このキャパシタにつき、前述と同様な長時間保管試験を行って、従来通常のTi/Pt/Au構造の電極を用いたキャパシタとの比較を行ったところ、この発明のキャパシタの場合には絶縁層78および92には亀裂とか剝離が全く生じなかったが、従来構造のキャパシタでは、対応する絶縁層に亀裂や剝離が生じた。

ここでは、キャパシタにつき説明したが、この発明の複合導電層を、トランジスタやダイオードの電極、インダクタの線として用いても、絶縁層の亀裂とか剝離の発生を確実に抑えることが出来る。

尚、上述した実施例では、複合導電層を(Ti/Pt/Au/Ti)構造としたが、これに限定されるものではなく、第1図の実施例で説明した種々の材料の組み合わせた構造とすることが出来る。また、絶縁層62、78、92もSiN_xの代わり

次に、この下地104上にレジストを用いたホトリソ工程で、下地104の、配線を形成予定領域のみを露出するように、レジストパターン106を形成し、第7図(B)に示すような構造体を得る。

次に、このレジストパターン106が形成されている構造体の上側全面に、通常の真空蒸着法を用いて、主導電層108と補助導電層110の複合導電層120を順次に形成する(第7図(C))。この主導電層108として、下地104側から、1000Åの膜厚のチタン(Ti)層(第3層)112、1000Åの膜厚の白金(Pt)層(第2層)114および5000Åの膜厚の金(Au)層(第1層)116を設けた後、補助導電層110を膜厚100Åのチタン(Ti)層として形成する。

続いて、通常のリフトオフ法によって、この構造体からレジストパターン106を剝離して下地104上にのみ複合導電層120を下側配線として残存させる。

次に、第二工程として、中間(層間)絶縁膜兼保護膜としてSiN_x絶縁層122を複合導電層

に、SiO₂やSiO_xN_yを用いることも出来る。又、基板60として、GaAs以外の他の化合物半導体材料やシリコン材料を用いることが出来る。

[穴開け方法および配線接続の説明]

次に、この発明の複合導電層の穴開け方法につき、第7図(A)~(H)を参照して説明する。

第7図(A)~(H)は、下側の複合導電層に穴を開けて上側の複合導電層との配線接続を形成するまでの工程を示す図である。

先ず、この発明では、第一工程として、下地上に主導電層および補助導電層を順次に成膜して複合導電層を設ける。

このため、この実施例ではGaAs基板100上にSiN_x絶縁層102を3000Åの層厚で設けて下地104を形成する(第7図(A))。この絶縁層102は、シラン(SiH₄)とアンモニア(NH₃)ガスを用いた通常のプラズマCVD法で形成する。

120を被覆するように下地104上に設け、第7図(D)に示すような構造体を得る。この中間絶縁層122を、通常のプラズマCVD法により形成し、その膜厚を3000Åとする。

次に、第三工程において、この絶縁層122および補助導電層110の両者に共通して使用出来るエッチング用ガスを用いて、この絶縁層122および補助導電層110を貫通する穴(コンタクトホール)を開ける。このため、先ず、穴の位置に対応する絶縁層122の領域を露出させるようなレジストパターン124を通常の方法で適当な層厚で設ける(第7図(E))。このレジストパターン124は後述するエッチングの際のエッチングマスクとして作用し、このマスクの間に露出した絶縁層122の領域を122aで示す。

続いて、この絶縁層122と、複合導電層120を構成する補助導電層110とをエッチング可能なエッチング用ガスを用いて、両層122および110を、同一のエッチング工程で、順次に連続エッチングする。このため、第7図(E)に示す構造体

を反応性イオンエッチング(RIE)装置の処理室内にセットし、六フッ化硫黄(SF₆)のプラズマを用いてエッチングマスク124の間に露出している絶縁層の領域122aのエッチングを行う。このエッチングにより、絶縁層122にコンタクトホール用の穴126が開き、続いて、チタン(Ti)の補助導電層110に穴128が開いて下側の第1層116である金(Au)の層の表面が露出する。これら両穴126と128とは互いに連通した穴であって、コンタクトホール130を構成する。このようにして得られた構造体を第7図(F)に示す。

次に、このようにして形成したコンタクトホール130を用いて、上側配線と下側配線との配線接続を行う例を説明する。

そのため、第7図(F)で得られた構造体の上側表面に、この発明の複合導電層で、上側配線140をバタニングして形成し、第7図(G)に示す構造体を得る。この上側配線140を好ましくは下側配線120と同様の材料で、同じ構造に形成

する。従って、この上側配線140は主導電層142と補助導電層144とを具え、これらの層を下側配線120の形成の場合と同様に、ホトリソ工程、真空蒸着工程、リフトオフ工程等の所要の工程を用いて形成する。その結果、コンタクトホール130内において、上側配線140の主導電層142のチタン(Ti)の第3層146が下側配線120の金(Au)の第1層116と接触し、その上側に白金(Pt)の第2層148、さらにその上側に金(Au)の第1層150、さらにその上側にチタン(Ti)の補助導電層144が形成された状態になっている。

そして、最終的に、この上側配線140を被覆するように絶縁層122の全面に保護層となるべき別のSiN_x等の適当な絶縁層152を、プラズマCVD法によって、層厚3000Åで、設ける(第7図(H))。

上述した実施例で、下側配線120の第1層の金層116と、上側配線140の第3層のチタン層146とがコンタクトホール130内で接触するが、その

コンタクト抵抗は $5 \times 10^{-10} \Omega \cdot \text{cm}$ 程度という小さな値となる。また、このコンタクトホール130を絶縁層122の穴とチタンの補助導電層110との穴との連通孔として構成しているが、コンタクトホールのエッチング時にチタンの層110部分を除去しないで絶縁層122の穴のみでコンタクトホールを形成してコンタクト抵抗を形成する場合には、上述したコンタクト抵抗よりも1桁以上大きな、バラツキの大きい値になってしまうという障害が生じる。これは、残存するチタン層の表面が極めて酸化され易く、かつ、汚染を受け易いことに起因していると考えられる。

上述した実施例では、下側配線120と上側配線140の配線接続をコンタクトホール130を介して行った場合につき説明したが、このコンタクトホール130と同様にして、絶縁層122および下側配線120の補助導電層110に開口部(図示していない)を設けて、この開口部に露出した金(Au)層116に金(Au)線のワイヤボンディングあるいは半田付けを直接行ってこの配線120

と外部回路または外部素子とを容易かつ確実に接続することも出来る。これに対し、開口部の補助導電層であるチタンを除去しないと、チタン層に直接ボンディングを行うこととなり、従って、金線が簡単に外れてしまうという障害が生ずる。

上述した実施例では、各配線層120および140をTi/Pt/Au/Tiの4層構造としているが、最上層である補助導電層110をチタンの代わりにシリコン(Si)あるいはゲルマニウム(Ge)はもとより、チタン、シリコンおよびゲルマニウムの群のなかから選らばれたいずれか一種以上の材料を含む層を使用することが出来る。また、絶縁層122としてSiN_xの代わりにSiO₂やSiO_xN_xあるいはその他のシリコンの酸化物またはシリコンの窒化物を使用することが出来る。その場合に、これら絶縁層122および補助導電層110に共通のエッチング用ガスとしてフッ化物系ガス、例えば、CF₄、C₂F₆、C₃F₈、CHF₃、SF₆等を使用することが出来ると共に、これらガス的一种以上とO₂ガス

およびまたはHeガスとの混合ガスを使用することが出来る。

また、上述した種々の絶縁層28、42、102、122、152としてポリイミド材料を用いることが出来る。このポリイミドを中間絶縁層122として使用して、これに穴を開ける場合には、この層122をO₂プラズマでエッチングする。そして、チタン層110に対しては、ガスを切り変えてSF₆プラズマでエッチングする方法であっても良い。

このように、この発明の複合導電層は、主導電層および補助導電層とを具え、この補助導電層でこの主導電層と絶縁層との密着性を向上させる構造となっている。そして、この複合導電層を各種半導体デバイスの配線、電極、インダクタの線およびまたはキャパシタの電極に用い、その上側に保護層としての絶縁層あるいは中間絶縁層を設けた場合に、所要に応じてこれら絶縁層および補助導電層にコンタクトホールとかボンディングのための開口部とかを設ける必要が生じる。その場

る利点がある。

さらに、この発明の複合導電層の穴開け方法によれば、この複合導電層の主導電層を構成する低抵抗の金属層上に形成されている、絶縁層との密着性を向上させる補助導電層を、この絶縁層の穴開けと同一のエッチング工程で連続的に、穴開けしてしまうので、穴開けのエッチング工程が複雑とならず、しかも、このエッチング工程で穴(コンタクトホールとか開口部)に低抵抗の金属層が露出して、その露出面に直接他の配線等との電氣的接続や、金線等のワイヤボンディングあるいは半田付け等を行って、低抵抗コンタクトで再現性のある接続、あるいは、金線等の外れの生じない接続を形成することが出来る。

4. 図面の簡単な説明

第1図は、この発明の半導体装置用の複合導電層の基本構造を断面で概略的に示す説明図、

第2図は、従来の導電層の構造を部分的に断面で概略的に示す説明図、

合、この発明によれば、これら絶縁層と補助導電層とを同一のエッチング用ガスで同一のエッチング工程でエッチングしてこれらコンタクトホールや開口部を形成することが出来る。

(発明の効果)

上述した説明からも明らかなように、この発明の複合導電層によれば、主導電層を構成する低抵抗の金属層上に、絶縁層との密着性を向上させる材料の補助導電層を設けた構造としたので、この複合導電層の上側に設けた保護膜としての絶縁層あるいは中間絶縁層等に亀裂や剝離が生じるのを効果的に防止出来る。

従って、この複合導電層を半導体装置の電極、配線、インダクタの線およびまたはキャパシタの電極に用いて構成すれば、半導体装置の信頼性が従来よりも著しく向上するという利点がある。

さらに、この発明の複合導電層を用いて配線および電極を形成すれば、それらの平面的形状を、任意好適なしかも大面積の形状とすることが出来

第3図～第5図は、この発明の半導体装置用の複合導電層の具体的構成例を断面でそれぞれ概略的に示す図、

第6図は、この発明の複合導電層をキャパシタの電極に用いた構成例を断面で概略的に示す図、

第7図(A)～(H)は、この発明の複合導電層の穴開け方法を説明するため、下側および上側の複合導電層との配線接続を形成するまでの工程を代表して示す工程図である。

20…複合導電層

22、66、82、108、142…主導電層

24、74、90、110、144…補助導電層

26、64、104…下地、40、60、100…基板

28、42、62、78、92、102、122、152…絶縁層

32、72、88、116、150…第1層

34、70、86、114、148…第2層

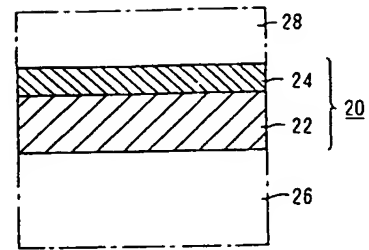
36、68、84、112、146…第3層

76…下側電極(複合導電層)

80…上側電極(複合導電層)

106、124…レジストパターン

120 …下側配線（複合導電層）
 140 …上側配線（複合導電層）
 122a…露出領域、 126、128 …穴
 130 …コンタクトホール。



20: 複合導電層
 22: 主導電層
 24: 補助導電層
 26: 下地
 28: 絶縁層

特許出願人 沖電気工業株式会社

代理人 弁理士

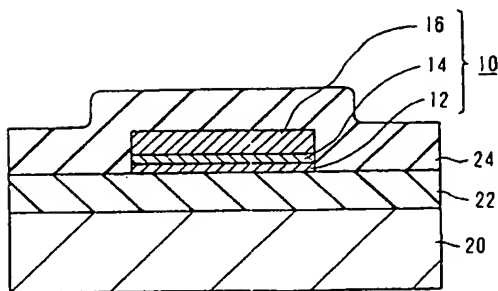
大 垣

孝



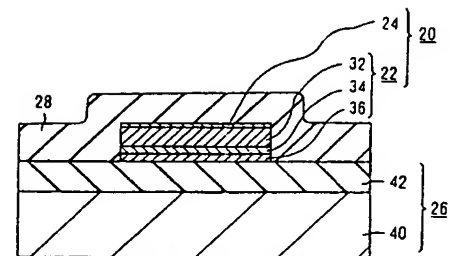
この発明の説明図

第 1 図



従来技術の説明図

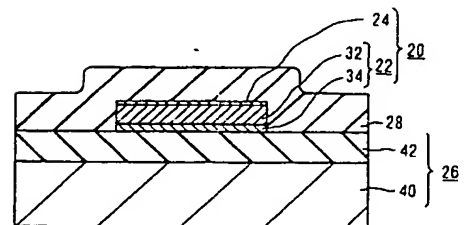
第 2 図



32: 第1層 34: 第2層
 36: 第3層 40: 基板
 42: 絶縁層

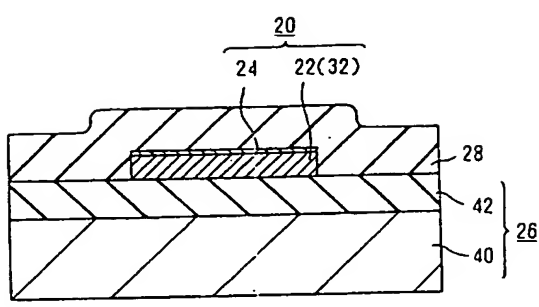
主導電層が3層構造の例

第 3 図



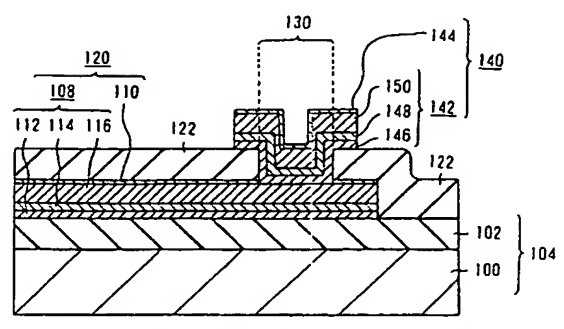
主導電層が2層構造の例

第 4 図



主導電層が1層構造の例

第5図

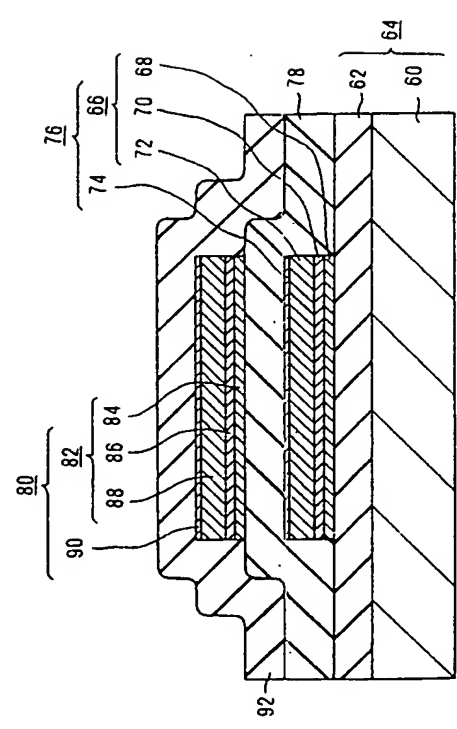


- | | |
|-------------------|-----------|
| 140: 上側配線 (複合導電層) | 142: 主導電層 |
| 144: 補助導電層 | 146: 第3層 |
| 148: 第2層 | 150: 第1層 |

工程図

第7図 (G)

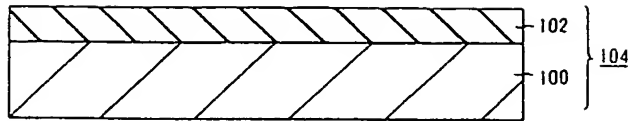
- | | | |
|----------------|-----------|------------------|
| 60: 基板 | 62: 絶縁層 | 76: 下側電極 (複合導電層) |
| 64: 下地 | 66: 主導電層 | 80: 上側電極 (複合導電層) |
| 68: 第3層 | 70: 第2層 | 84: 第3層 |
| 72: 第1層 | 74: 補助導電層 | 88: 第1層 |
| 78: 誘電体層 (絶縁層) | 82: 主導電層 | 92: 絶縁層 |
| | 86: 第2層 | |
| | 90: 補助導電層 | |



キャパシタの実施例

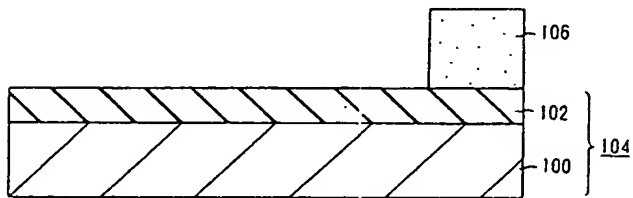
第6図

(A)



100:基板
102:絶縁層
104:下地

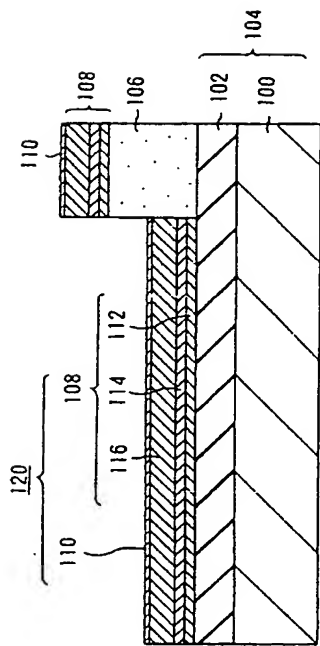
(B)



106:レジストパターン

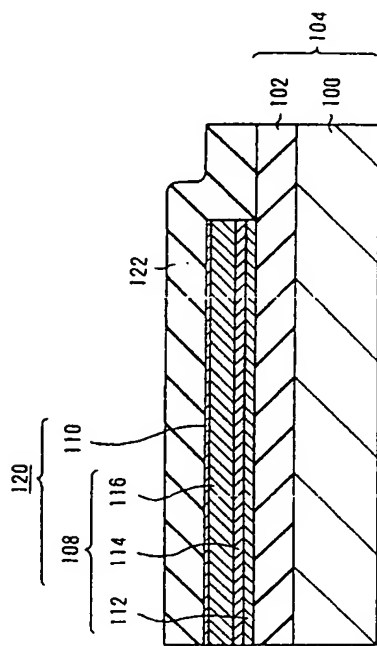
工程図

第 7 図



(C)

108:主導電層
110:補助導電層 (チタン層)
112:第3層 (白金層)
114:第2層 (白金層)
116:第1層 (金層)
120:下制配線 (複合導電層)

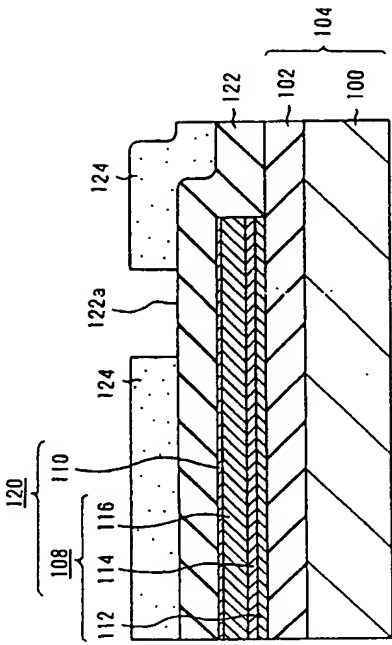


(D)

122:絶縁層

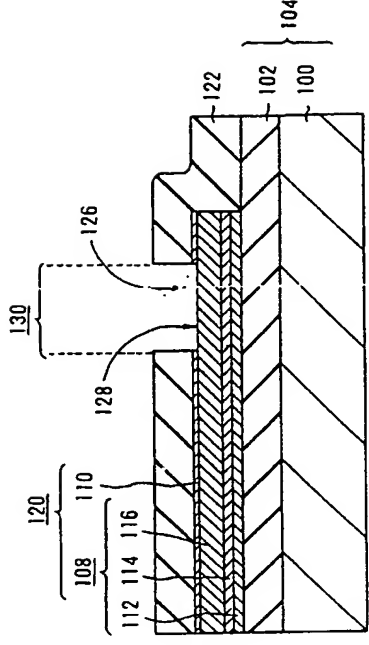
工程図

第 7 図



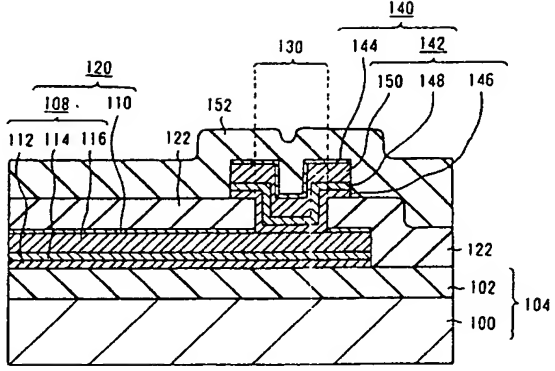
122a: 露出領域
124: レジストパターン

(E)



126, 128: 穴
130: コンタクトホール

(F)



152: 絶縁層

工程図

第 7 図 (H)

第 7 図
工程図